

テレホン番号
505P0320W000

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-286701
(P2000-286701A)

(43)公開日 平成12年10月13日(2000.10.13)

(51)Int.Cl.⁷
H 03 L 7/10
G 11 B 20/14
H 03 L 7/095
7/08
H 04 N 5/06

識別記号
351

F I
H 03 L 7/10
G 11 B 20/14
H 04 N 5/06
H 03 L 7/08

Z 5 C 0 2 0
3 5 1 A 5 D 0 4 4
Z 5 J 1 0 6
B
G

審査請求 未請求 請求項の数 8 OL (全 14 頁)

(21)出願番号 特願平11-93575

(22)出願日 平成11年3月31日(1999.3.31)

(71)出願人 000006611
株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地
西村 栄三

(72)発明者 神奈川県川崎市高津区末長1116番地 株式
会社富士通ゼネラル内

(72)発明者 中島 正道
神奈川県川崎市高津区末長1116番地 株式
会社富士通ゼネラル内

(74)代理人 100076255
弁理士 古澤 俊明 (外1名)

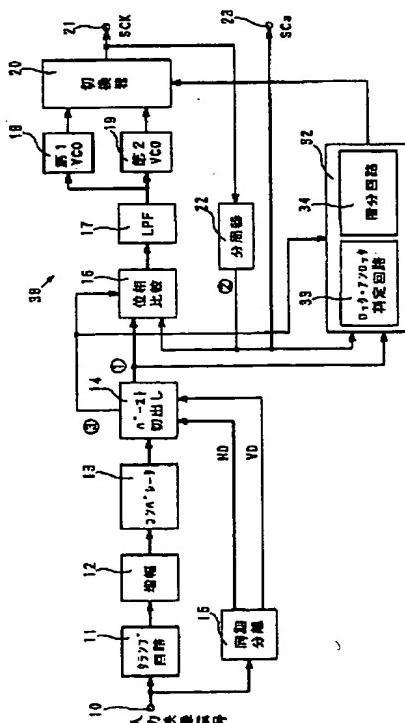
最終頁に続く

(54)【発明の名称】 位相同期ループ回路

(57)【要約】

【課題】 発振周波数帯域の異なる第1、第2VCO 1、8、19を切り換えて広い周波数範囲の基準信号を取り扱うPLL回路において、回路構成の簡略化を図るとともに、安定したシステムクロックSCKを供給すること。

【解決手段】 位相比較器16、LPF17、第1、第2VCO 18、19、切換器20、分周器22及びロック・アンロック検出回路32を具備し、この検出回路32をロック・アンロック判定回路33と積分回路34で構成し、この判定回路33でバースト信号(基準信号の例)①と再生バースト信号(比較信号の例)②の位相差が2ck(クロック)未満か否かに基づいてロック、アンロックを判定し、積分回路34でロック判定時にその判定回数をアップカウントするとともにアンロック判定時にその判定回数をダウンカウントし、その計数値に基づいてロック、アンロックを検出し、検出信号で切換器20を切り換える。



【特許請求の範囲】

【請求項1】 基準信号と比較信号を比較し位相差に応じた信号を出力する位相比較器と、この位相比較器から出力する信号に応じた電圧を出力するローパスフィルタと、このローパスフィルタの出力電圧に基づいて発振周波数帯域の異なる複数のパルス信号を出力する電圧制御発振器と、この電圧制御発振器から出力する複数のパルス信号の中から1つのパルス信号を選択して出力する切換器と、この切換器から出力するパルス信号の周波数を分周し比較信号として前記位相比較器へフィードバックする分周器と、前記基準信号と比較信号に基づいてロック、アンロックを検出し、検出信号で前記切換器の切り換えを制御するロック・アンロック検出回路とを具備し、前記ロック・アンロック検出回路を、前記基準信号と比較信号の位相差が前記基準信号の周波数より高い周波数に設定されたクロックのnクロック（nは1以上の整数）未満か否かでロック、アンロックを判定するロック・アンロック判定回路と、このロック・アンロック判定回路のロック判定とアンロック判定の一方の判定時にその判定回数をアップカウントするとともに他方の判定時にその判定回数をダウンカウントし、その計数値に基づいてロック、アンロックを検出する積分回路とで構成してなることを特徴とする位相同期ループ回路。

【請求項2】 ロック・アンロック判定回路は、基準信号の立ち上がり（又は立ち下がり）を検出してクロックに同期した一定時間幅のパルスを出力する第1エッジ検出器と、この第1エッジ検出器の出力パルスのパルス幅をクロックの2クロック幅に変換する2クロック幅化回路と、比較信号の立ち上がり（又は立ち下がり）を検出してクロックに同期した一定時間幅のパルスを出力する第2エッジ検出器と、この第2エッジ検出器の出力パルスをクロックの1クロック分遅延する1クロック遅延器と、前記2クロック幅化回路の出力パルスのパルス幅内に、前記第2エッジ検出器の検出信号又は前記1クロック遅延器の出力信号が現われるか否かでロック、アンロックの判定信号を出力するゲート回路とからなる請求項1記載の位相同期ループ回路。

【請求項3】 積分回路は、ロック・アンロック判定回路の判定信号をアップ・ダウン制御信号として第1エッジ検出器の検出信号を計数するアップダウンカウンタと、このアップダウンカウンタの計数値が増加して第1設定値に達したときにロックを検出し、前記アップダウンカウンタの計数値が減少して第2設定値（第1設定値より小さい値）に達したときにアンロックを検出する検出回路とからなる請求項1又は2記載の位相同期ループ回路。

【請求項4】 第1エッジ検出器とアップダウンカウンタの間に、前記第1エッジ検出器から出力する検出信号のパルス幅を広げて前記アップダウンカウンタへ出力する第1パルス幅拡大回路を設け、ゲート回路と前記アップ

ダウンカウンタの間に、前記ゲート回路から出力する判定信号のパルス幅を広げて前記アップダウンカウンタへ出力する第2パルス幅拡大回路を設けてなる請求項3記載の位相同期ループ回路。

【請求項5】 基準信号は、バースト切出し回路によって複合映像信号から切り出されたカラーバースト信号としてなる請求項1、2又は4記載の位相同期ループ回路。

【請求項6】 基準信号は、バースト切出し回路によって複合映像信号から切り出されたカラーバースト信号としてなる請求項3記載の位相同期ループ回路。

【請求項7】 基準信号は、水平同期分離回路によって複合映像信号から分離された水平同期信号としてなる請求項1、2又は4記載の位相同期ループ回路。

【請求項8】 基準信号は、水平同期分離回路によって複合映像信号から分離された水平同期信号としてなる請求項3記載の位相同期ループ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、T V信号（テレビジョン放送局からの映像信号）やVTR信号（ビデオテープレコーダからの映像信号）などの映像信号をデジタル処理するために使用されるクロック（例えばシステムクロック）を生成する位相同期ループ回路（以下、単にPLL回路と記述する）に関するものである。

【0002】

【従来の技術】 薄型、軽量のディスプレイ装置として、PDP（プラズマディスプレイパネル）やLCD（液晶ディスプレイ）パネルを用いた表示装置が注目されている。このような表示装置はデジタル信号による直接駆動方式であるため、アナログの合成映像信号を入力とする場合、A/D（アナログ/デジタル）変換等のデジタル処理用のシステムクロックを生成するPLL回路が必要となる。このようなPLL回路にはロックレンジの広いものが望まれている。従来、この種のPLL回路には、図10に示すようなバーストロックPLL回路や図11に示すようなラインロックPLL回路が知られている。

【0003】 図10に示すバーストロックPLL回路は次のように構成されていた。すなわち、入力端子10に入力した映像信号（例えばTV信号）は、その直流レベルがクランプ回路11で所定レベルに固定され、增幅回路12で増幅され、コンバレータ13で所定レベル以上がカットされてバースト切出し回路14に入力する。同期分離回路15は入力映像信号から水平同期信号HDと垂直同期信号VDを分離してバースト切出し回路14に出力する。そして、バースト切出し回路14は、コンバレータ13から出力した映像信号と同期分離回路15から出力した水平同期信号HD及び垂直同期信号VDに基づいて、カラーバースト信号（以下、単にバースト信号という。）①を切り出して出力するとともにバースト切

出し期間信号（以下、単にバースト期間信号という。）③を出力する。位相比較器16は、バースト期間信号③の出力している期間、バースト信号①を基準信号として再生カラーバースト信号（以下、単に再生バースト信号という。）（比較信号の一例である。）②と比較して位相差に応じた信号を出力し、LPF（ローパスフィルタ）17は位相比較器16の出力を積分して得た位相誤差電圧を制御電圧として第1、第2VCO（電圧制御発振器）18、19に出力する。第1、第2VCO18、19は、全体の発振周波数帯域を広くするために（ロックレンジを広くするために）設けられたもので、同じ制御電圧に対して発振周波数帯域が異なる2種類のパルスを出力し、切換器20は2種類の出力パルスのうちの1つを選択しシステムクロックSCK（以下、単にSCKという。）として第1出力端子21から出力する。分周器22はSCKの周波数を整数分の1に分周して第2出力端子23からサブキャリアSCa（以下、単にSCaという。）として出力するとともに、このSCaを再生バースト信号②として位相比較器16へフィードバックする。A/D（アナログ/デジタル）変換器24は、LPF17の出力電圧（位相誤差電圧）をデジタル信号に変換してマイコン25に出力し、このマイコン25は、LPF17の出力電圧に基づいて、位相比較器16、LPF17、第1、第2VCO18、19、切換器20及び分周器22からなるPLL回路26のロック、アンロックを検出し、切換器20の切り換えを制御する。

【0004】また、図11に示したラインロックPLL回路は、入力端子10に入力した映像信号（例えばTV信号）から水平同期信号HDを分離する水平同期分離回路27と、位相比較器31、LPF17、VCO28、1/2分周器29、切換器20及び分周器22からなるPLL回路30と、A/D変換器24と、マイコン25とで構成されていた。位相比較器31は水平同期信号HDを基準信号として比較信号と比較し、LPF17は位相比較器31の出力を積分して位相誤差電圧（制御電圧）をVCO28に出力し、1/2分周器29はVCO28から出力するパルスの周波数を1/2に分周して出力する。切換器20は、VCO28と1/2分周器29から出力する2種類のパルスのうちの1つを選択しSCKとして第1出力端子21から出力する。分周器22はSCKの周波数を整数分の1に分周し比較信号として位相比較器31へフィードバックする。A/D変換器24は、LPF17の出力電圧をデジタル信号に変換してマイコン25に出力し、このマイコン25は、LPF17の出力電圧に基づいてPLL回路30のロック、アンロックを検出し、切換器20の切り換えを制御する。

【0005】

【発明が解決しようとする課題】しかしながら、図10及び図11に示した従来例では、A/D変換器24とマ

イコン25を用いてPLL回路26、30のロック、アンロックを検出していたので、回路構成が複雑になるという問題点があった。本発明は、上述の問題点に鑑みてなされたもので、発振周波数帯域の異なる複数のパルス信号を切り換えて広い周波数範囲の基準信号を取り扱うPLL回路において、回路構成の簡略化を図るとともに、安定したクロックを供給することを目的とするものである。

【0006】

【課題を解決するための手段】本発明によるPLL回路は、基準信号と比較信号を比較し位相差に応じた信号を出力する位相比較器と、この位相比較器から出力する信号に応じた電圧を出力するローパスフィルタと、このローパスフィルタの出力電圧に基づいて発振周波数帯域の異なる複数のパルス信号を出力する電圧制御発振器と、この電圧制御発振器から出力する複数のパルス信号の中から1つのパルス信号を切り換えて出力する切換器と、この切換器から出力するパルス信号の周波数を分周し比較信号として位相比較器へフィードバックする分周器

と、基準信号と比較信号に基づいてロック、アンロックを検出し、検出信号で切換器の切り換えを制御するロック・アンロック検出回路とを具備し、ロック・アンロック検出回路を、基準信号と比較信号の位相差が基準信号の周波数より高い周波数に設定されたクロックのnクロック（nは1以上の整数）未満か否かでロック、アンロックを判定するロック・アンロック判定回路と、このロック・アンロック判定回路のロック判定とアンロック判定の一方の判定時にその判定回数をアップカウントするとともに他方の判定時にその判定回数をダウンカウントし、その計数値に基づいてロック、アンロックを検出する積分回路とで構成してなることを特徴とする。

【0007】ロック・アンロック判定回路は、基準信号と比較信号の位相差がnクロック（例えば2クロック）未満か否かに基づいてロック、アンロックを判定し、積分回路は、ロック・アンロック判定回路のロック判定とアンロック判定の一方の判定時（例えばロック判定時）にその判定回数をアップカウントするとともに他方の判定時（例えばアンロック判定時）にその判定回数をダウンカウントし、その計数値に基づいてロック、アンロックを検出する。切換器は、積分回路から出力するロック、アンロックの検出信号に基づいて、電圧制御発振器から出力する複数のパルス信号の中から1つのパルス信号を選択して出力する。ロック・アンロック検出回路をロジックで構成可能なロック・アンロック判定回路と積分回路で構成したので、ロック・アンロック検出回路をA/D変換器とマイコンで構成した従来例と比べて、回路構成を簡単にすることができます。ロック・アンロック判定回路でロック、アンロックと判定されても、直ちにPLL回路をロック、アンロックするのではなく、積分回路でヒステリシスをもたせてPLL回路をロック、ア

シロックとしているので、より安定したクロックを供給することができる。

【0008】ロック・アンロック判定回路の構成を簡単にするために、ロック・アンロック判定回路を、基準信号の立ち上がり（又は立ち下がり）を検出してクロックに同期した一定時間幅のパルスを出力する第1エッジ検出器と、この第1エッジ検出器の出力パルスのパルス幅を計測用のクロックの2クロックに変換する2クロック幅化回路と、比較信号の立ち上がり（又は立ち下がり）を検出してクロックに同期した一定時間幅のパルスを出力する第2エッジ検出器と、この第2エッジ検出器の出力パルスを1クロック分遅延する1クロック遅延器と、2クロック幅化回路の出力パルスのパルス幅内に、第2エッジ検出器の検出信号又は1クロック遅延器の出力信号が現われるか否かでロック、アンロックの判定信号を出力するゲート回路とで構成する。

【0009】積分回路の構成を簡単にするために、積分回路を、ロック・アンロック判定回路の判定信号をアップ・ダウン制御信号として第1エッジ検出器の検出信号を計数するアップダウンカウンタと、このアップダウンカウンタの計数値が増加して第1設定値に達したときにロックを検出し、アップダウンカウンタの計数値が減少して第2設定値（第1設定値より小さい値）に達したときにアンロックを検出する検出回路とで構成する。

【0010】積分回路の動作をより安定化させるために、第1エッジ検出器とアップダウンカウンタの間に第1エッジ検出器から出力する検出信号のパルス幅を広げてアップダウンカウンタへ出力する第1パルス幅拡大回路を設け、ゲート回路とアップダウンカウンタの間にゲート回路から出力する判定信号のパルス幅を広げてアップダウンカウンタへ出力する第2パルス幅拡大回路を設ける。

【0011】バーストロックPLL回路に利用可能とするために、基準信号をバースト切出し回路によって複合映像信号から切り出されたカラーバースト信号とする。

【0012】ラインロックPLL回路に利用可能とするために、基準信号を水平同期分離回路によって複合映像信号から分離された水平同期信号とする。

【0013】

【発明の実施の形態】以下、本発明の実施の形態例を図面により説明する。図1は本発明によるPLL回路の一実施形態例を示すもので、図10と同一部分は同一符号とする。図1において、10は入力端子、11はクランプ回路、12は增幅回路、13はコンパレータ、14はバースト切出し回路、15は同期分離回路、16は位相比較器、17はLPF、18は第1VCO、19は第2VCO、20は切換器、21はSCKを出力する第1出力端子、22は分周器、23はSCaを出力する第2出力端子で、図10と同一なので説明を省略する。32は本発明に特有のロック・アンロック検出回路で、このロ

10

20

30

40

50

ック・アンロック検出回路32はロック・アンロック判定回路33と積分回路34を具備するとともに、図2に示すように第1、第2パルス幅拡大回路35、36及びクロック発生回路37を具備している。38はPLL回路で、このPLL回路38は前記位相比較器16、LPF17、第1、第2VCO18、19、切換器20及び分周器22で構成されている。

【0014】前記クロック発生回路37は、バースト信号①の周波数Fsc(Fsc=3.58MHz)の8倍の周波数のクロックck(以下、単にckという。)を生成し、計測用のクロックとして出力する。前記ロック・アンロック判定回路33は、図2に示すように、第1、第2エッジ検出器40、41、2クロック幅化回路42、1クロック遅延器43及びゲート回路44で構成されている。前記第1エッジ検出器40は、バースト期間信号③のHレベル時に動作し、基準信号としてのバースト信号①の立ち上がりを検出してckに同期した1クロック幅(以下、単に1ck幅という。)のパルス④を出力する。前記第2エッジ検出器41は、比較信号としての再生バースト信号②の立ち上がりを検出してckに同期した1ck幅のパルス⑥を出力する。前記2クロック幅化回路42は、前記第1エッジ検出器40の出力パルスのパルス幅を2クロック幅(以下、単に2ck幅という。)に変換した信号⑤を出力する。前記1クロック遅延器43は、第2エッジ検出器41の出力パルス⑥を1クロック分遅延した信号⑦を出力する。前記ゲート回路44は2入力のアンドゲート45、46及びノアゲート47で構成され、一方のアンドゲート45は信号⑤と信号⑦の論理積信号を出力し、他方のアンドゲート46は信号⑤と信号⑥の論理積信号を出力し、ノアゲート47はアンドゲート45の出力信号とアンドゲート46の出力信号の論理和信号を反転した信号を出力する。

【0015】前記第1パルス幅拡大回路35は NANDゲート50、4ビットのカウンタ51及び1クロック遅延器52で構成されている。前記 NANDゲート50は、前記第1エッジ検出器40の出力信号④をインバータ53で反転した信号と前記カウンタ51のRCO(リップルキャリーアウト)との論理積信号を反転して、前記カウンタ51のENP(イネーブル端子)に出力する。前記カウンタ51は、前記第1エッジ検出器40の出力信号④をインバータ53で反転した信号をLD(ロード端子)への入力としてデータ「Dh」(4ビット表示の1101に相当する。)をロードし、ENPのHレベルでckを計数し、計数値が「Fh」(4ビット表示の1111に相当する。)になるとRCOがHレベルとなる。前記1クロック遅延器52は、前記カウンタ51のRCOを1クロック分遅延した信号を、BCLKXとして前記積分回路34のクロック端子へ出力する。

【0016】前記第2パルス幅拡大回路36は NANDゲート54、4ビットのカウンタ55及び1クロック遅延

器56で構成されている。前記 NANDゲート54は、前記ゲート回路44の出力信号を1クロック遅延器57で1c k分遅延した信号⑧と前記カウンタ55のRCOとの論理積信号を反転して、前記カウンタ55のENPに出力する。前記カウンタ55は、前記ゲート回路44の出力信号を1クロック遅延器57で1c k分遅延した信号⑧をLDへの入力としてデータ「Dh」をロードし、ENPのHレベルでc kを計数し、計数値が「Fh」になるとRCOがHレベルとなる。前記1クロック遅延器56は、前記 NANDゲート54の出力信号を1クロックc k分遅延した信号を、BLOCKとして前記積分回路34のU/D(アップ/ダウン)制御端子へ出力する。

【0017】前記積分回路34は、図3に示すように、8ビットのアップダウンカウンタ60と検出回路61で構成されている。前記アップダウンカウンタ60は、前記第2パルス幅拡大回路36から出力するBLOCKをU/D制御端子への入力とし、そのRC(リップルキャリー)出力をEN(イネーブル)端子への入力とし、前記第1パルス幅拡大回路35から出力するBCLKXを計数し、計数値が「FFh」又は「00h」に至ると計数を停止する。前記検出回路61はアンドゲート62、ノアゲート63及びJK-FF(フリップフロップ)64で構成されている。前記アンドゲート62は前記アップダウンカウンタ60のQ7(最上位から1番目のビット)出力とQ6(最上位から2番目のビット)出力の論理積信号を出力し、前記ノアゲート63は前記アップダウンカウンタ60のQ7出力とQ6出力の論理和信号を反転した信号を出力する。前記JK-FF64は、前記アンドゲート62の出力信号をJ端子への入力とし、前記ノアゲート63の出力信号をK端子への入力とし、BCLKXを計数する。このため、アップダウンカウンタ60の計数値が増加して「C0h」に至ったとき(Q7=1、Q6=1のとき)には、JK-FF64のJ端子入力がHレベルとなってそのQ出力がBCLKXに同期してHレベル(ロック)となり、アップダウンカウンタ60の計数値が減少して「3Fh」に至ったとき(Q7=0、Q6=0のとき)には、JK-FF64のK端子入力がHレベルとなってそのQ出力がBCLKXに同期してLレベル(アンロック)となる。

【0018】つぎに前記実施形態例の作用を図4~図8を併用して説明する。

(1) 入力端子10に入力した映像信号(例えばTV信号)は、クランプ回路11によって直流レベルが所定レベルに固定され、增幅回路12で増幅され、コンバレータ13で所定レベル以上がカットされバースト切出し回路14に入力する。同期分離回路15によって入力映像信号から分離された水平同期信号HDと垂直同期信号VDはバースト切出し回路14に入力する。

【0019】(2) バースト切出し回路14は、コンバレータ13から入力した映像信号と同期分離回路15か

ら入力した水平同期信号HD及び垂直同期信号VDに基づいてバースト信号①とバースト期間信号③を出力する。このバースト信号①は基準信号としてPLI回路26の位相比較器16に入力し、バースト期間信号③はイネーブル信号として位相比較器16に入力する。

【0020】(3) 位相比較器16は、バースト期間信号③の出力している期間、バースト信号①を比較信号としての再生バースト信号②と比較して位相差に応じた信号を出力し、LPF17は位相比較器16の出力を積分して得た位相誤差電圧を制御電圧として第1、第2VCO18、19に出力する。第1、第2VCO18、19から出力した発振周波数帯域が異なる2つのパルス信号の一方が、切換器20によって選択されSCKとして第1出力端子21から出力するとともに、分周器22で整数分の1に分周されて第2出力端子23からSCaとして出力し、このSCaは再生バースト信号②として位相比較器16にフィードバックされる。

【0021】(4) 前記(3)において、切換器20が第1、第2VCO18、19の出力する2つのパルス信号のうちの何れを選択してSCKとするかは、ロック・アンロック検出回路32の検出信号によって決まり、この検出信号はバースト信号①と再生バースト信号②の位相差によって決まる。このため、位相差が0の場合

(A)、位相差が2c k未満の場合 (B) (C)、位相差が2c k以上の場合 (D) に分けて説明する。

【0022】(A) 説明の便宜上、切換器20が第1、第2VCO18、19のうちの第1VCO18を選択し、バースト信号①と再生バースト信号②の位相が一致した場合(位相差が0の場合)を図4及び図8を併用して説明する。

(i) クロック発生回路37から出力するc k(周波数8Fsc)を図4(a)とすると、周波数Fscのバースト信号①は同図(c)に示すように8c kを1周期とするパルス信号となり、再生バースト信号②は同図(d)に示すようにバースト信号①と同一位相となる。

【0023】(ii) バースト切出し回路14から出力するバースト期間信号③がLレベルの期間(図4(b)の左側に示した期間)では、第1エッジ検出器40が動作しないので、第1エッジ検出信号④、2c k幅化信号⑤が同図(e) (f)に示すようにLレベル、第1カウンタ51の計数値が同図(j)に示すように「Fh」、第1カウンタ51のRCO、BCLKXが同図(k) (n)に示すようにHレベルを継続する。Lレベルの2c k幅化信号⑤はゲート回路44のアンドゲート45、46に入力し、図4(i)に示すようなHレベルの信号が第2カウンタ55のLD端子に入力するので、第2カウンタ55の計数値が同図(l)に示すように「Fh」、第2カウンタ55のRCOが同図(m)に示すようにHレベル、BLOCKが同図(o)に示すようにLレベルを継続する。

【0024】(iii) バースト期間信号③がHレベルの期間（図4(b)の右側に示した期間）では、第1エッジ検出器40が動作してバースト信号①の立ち上がりを検出し、図4(e)に示すようなc kに同期した1 c k幅の第1エッジ検出信号④が出力する。この信号④がインバータ53で反転し第1カウンタ51のLD端子に入力して初期値「D h」をロードするので、第1カウンタ51の計数値は図4(j)に示すように変化する。すなわち、ロード時に計数値が「F h」から「D h」に変化するとともに、図4(k)に示すようにRCOがLレベルに変化してENPをHレベルとして第1カウンタ51をイネーブルとし計数を始める。そして、第1カウンタ51の計数値が「F h」に至るとRCOがHレベルに変化してENPをLレベルとして第1カウンタ51をディスエーブルとする。このため、BCLKXは、図4(n)に示すように、同図(k)のRCOを1 c k遅延させた信号となる。

【0025】(iv) 第2エッジ検出器41は再生バースト信号②の立ち上がりを検出して図4(g)に示すような第2エッジ検出信号⑥をアンドゲート46に出力し、1クロック遅延器43は第2エッジ検出信号⑥を1クロック遅延して同図(h)に示すような1 c k遅延信号⑦を出力する。また、2クロック幅化回路42は信号④のパルス幅を2倍して図4(f)に示すような2 c k幅化信号⑤をアンドゲート45、46に出力する。このため、図4(i)に示すような信号⑧が NANDゲート54に入力するとともに、第2カウンタ55のLD端子に入力する。この信号⑧は、信号⑤がHレベルかつ信号⑥又は⑦の一方がHレベルの期間だけHレベルとなる信号を反転させ、1 c k遅延させた信号となる。

【0026】(v) 信号⑧により第2カウンタ55のLD端子がLレベルになると、このLレベルの間(2 c k期間)第2カウンタ55は初期値「D h」をロードするので、第2カウンタ55の計数値は図4(l)に示すように変化する。すなわち、ロード時に計数値が「F h」から「D h」に変化するとともに、図4(m)に示すようにRCOがLレベルに変化してENPをHレベルとして第2カウンタ55をイネーブルとし計数を始める。そして、第2カウンタ55の計数値が「F h」に至るとRCOがHレベルに変化してENPをLレベルとして第2カウンタ55をディスエーブルとする。このため、BLOCKは図4(o)に示すようにBCLKXの立ち上がり時にHレベル状態になり、Hレベル期間が4 c k、Lレベル期間が4 c kのパルス信号となる。

【0027】(vi) 積分回路34内のアップダウンカウンタ60は、BLOCKがHレベルのときにアップカウントとして動作してBCLKXの立ち上がりを計数するので、8 c k毎に+1カウントする。このため、図8に示すように、アップダウンカウンタ60の計数値(判定回数)が増加し第1設定値としての「C0 h」に至ると、

JK-FF64のQ出力がLレベルからHレベルに変化する。すなわち、計数値が「C0 h」に至るとアップダウンカウンタ60はQ7=1、Q6=1となり、アンドゲート62の出力がHレベル(ノアゲート63の出力はLレベル)となってJK-FF64のJ端子に入力するので、Q出力がLレベルからHレベルに変化してロック検出信号を切換器20に出力する。このため、切換器20が第1、第2VCO18、19の一方(例えば第1VCO18)の出力を選択し、SCKとして第1出力端子21から出力している状態が継続する。このSCKは分周器22で整数分の1に分周され、再生バースト信号②として位相比較器16にフィードバックされ位相同期制御が行われる。

【0028】(B)ついで、切換器20が第1VCO18を選択し、再生バースト信号②はバースト信号①より位相遅れであるが、その位相差が2 c k未満の場合を、図5及び図8を併用して説明する。説明の便宜上、バースト信号①、再生バースト信号②が図5(c)(d)に示すようなタイミングで現われ、バースト期間信号③が同図(b)に示すようにHレベルで第1エッジ検出器40が動作している場合について説明する。

【0029】(i) 第1エッジ検出器40はバースト信号①の立ち上がりを検出し、図5(e)に示すようなc kに同期した1 c k幅の第1エッジ検出信号④が出力する。この信号④がインバータ53で反転し第1カウンタ51のLD端子に入力して初期値「D h」をロードするので、第1カウンタ51の計数値は図5(j)に示すように変化する。すなわち、ロード時に計数値が「F h」から「D h」に変化するとともに、図5(k)に示すようにRCOがLレベルに変化してENPをHレベルとして第1カウンタ51をイネーブルとし計数を始める。そして、第1カウンタ51の計数値が「F h」に至るとRCOがHレベルに変化してENPをLレベルとして第1カウンタ51をディスエーブルとする。このため、BCLKXは、図5(n)に示すように、同図(k)のRCOを1 c k遅延させた信号となる。

【0030】(ii) 第2エッジ検出器41は再生バースト信号②の立ち上がりを検出して図5(g)に示すような第2エッジ検出信号⑥をアンドゲート46に出力し、1クロック遅延器43は第2エッジ検出信号⑥を1クロック遅延して同図(h)に示すような1 c k遅延信号⑦を出力する。また、2クロック幅化回路42は信号④のパルス幅を2倍して図5(f)に示すような2 c k幅化信号⑤をアンドゲート45、46に出力する。このため、図5(i)に示すような信号⑧がNANDゲート54に入力するとともに、第2カウンタ55のLD端子に入力する。この信号⑧は、信号⑤がHレベルかつ信号⑥又は⑦の一方がHレベルの期間だけHレベルとなる信号を反転させ、1 c k遅延させた信号となる。

【0031】(iii) 信号⑧により第2カウンタ55のL

D端子がLレベルになると、このLレベルの間(1ck期間)第2カウンタ55は初期値「Dh」をロードするので、第2カウンタ55の計数値は図5(1)に示すように変化する。すなわち、ロード時に計数値が「Fh」から「Dh」に変化するとともに、図5(m)に示すようにRCOがLレベルに変化してENPをHレベルとして第2カウンタ55をイネーブルとし計数を始める。そして、第2カウンタ55の計数値が「Fh」に至るとRCOがHレベルに変化してENPをLレベルとして第2カウンタ55をディスエーブルとする。このため、BLOCKは図5(o)に示すようにBCLKXの立ち上がり時にHレベル状態にあり、Hレベル期間が3ck、Lレベル期間が5ckのパルス信号となる。

【0032】(iv)積分回路34内のアップダウンカウンタ60は、BLOCKがHレベルのときにアップカウンタとして動作してBCLKXの立ち上がりを計数するので、8ck毎に+1カウントする。このため、図8に示すように、アップダウンカウンタ60の計数値(判定回数)が増加して「Ch」に至ると、JK-FF64のQ出力がLレベルからHレベルに変化する。すなわち、計数値が「Ch」に至るとアップダウンカウンタ60はQ7=1、Q6=1となり、アンドゲート62の出力がHレベル(ノアゲート63の出力はLレベル)となってJK-FF64のJ端子に入力するので、Q出力がLレベルからHレベルに変化してロック検出信号を切換器20に出力する。このため、切換器20が第1VCO18の出力を選択し、SCKとして第1出力端子21から出力している状態が継続する。このSCKは、分周器22で整数分の1に分周され再生バースト信号②として位相比較器16にフィードバックされる。このため、切換器20で選択された第1VCO18による位相同期制御により、再生バースト信号②の位相を進ませる制御が行われてバースト信号①と位相が一致する。

【0033】(C)また、切換器20が第1VCO18を選択し、再生バースト信号②はバースト信号①より位相進みであるが、その位相差が2ck未満の場合は、前記(B)の場合と同様に作用する。すなわち、第1エッジ検出信号④と第2エッジ検出信号⑥の現われるタイミングが前記(B)の場合と逆となり、これに伴って後続の信号⑤⑦⑧、第1、第2カウンタ51、55の計数値、RCOの現われるタイミングが前記(B)の場合と異なるが、BCLKXは図6(n)に示すようなタイミングで発生し、BLOCKが図6(o)に示すようにBCLKXの立ち上がり時にHレベル状態にあり、Hレベル期間が3ck、Lレベル期間が5ckのパルス信号となる。このため、前記(B)の場合と同様にして、積分回路34内のアップダウンカウンタ60がBLOCKのHレベルでアップカウンタとして動作しBCLKXの立ち上がりを計数するので、図8に示すように、アップダウンカウンタ60の計数値(判定回数)が増加して「Ch

h」に至ると、JK-FF64のQ出力がLレベルからHレベルに変化し、ロック検出信号を切換器20に出力する。このため、切換器20が第1VCO18の出力を選択し、SCKとして第1出力端子21から出力している状態が継続する。このSCKは分周器22で整数分の1に分周され再生バースト信号②として位相比較器16にフィードバックされる。したがって、切換器20で選択された第1VCO18による位相同期制御により、再生バースト信号②の位相を遅らせる制御が行われてバースト信号①と位相が一致する。

【0034】(D)また、切換器20が第1VCO18を選択し、再生バースト信号②がバースト信号①より2ck以上位相遅れの場合を、図7及び図8を併用して説明する。説明の便宜上、バースト信号①、再生バースト信号②が図7(c) (d)に示すようなタイミングで現われ、バースト期間信号③が同図(b)に示すようにHレベルで第1エッジ検出器40が動作している場合について説明する。

【0035】(i)第1エッジ検出器40はバースト信号①の立ち上がりを検出し、図7(e)に示すようなckに同期した1ck幅の第1エッジ検出信号④が出力する。この信号④がインバータ53で反転し第1カウンタ51のLD端子に入力して初期値「Dh」をロードするので、第1カウンタ51の計数値は図7(j)に示すように変化する。すなわち、ロード時に計数値が「Fh」から「Dh」に変化するとともに、図7(k)に示すようにRCOがLレベルに変化してENPをHレベルとして第1カウンタ51をイネーブルとし計数を始める。そして、第1カウンタ51の計数値が「Fh」に至るとRCOがHレベルに変化してENPをLレベルとして第1カウンタ51をディスエーブルとする。このため、BCLKXは、図7(n)に示すように、同図(k)のRCOを1ck遅延させた信号となる。

【0036】(ii)第2エッジ検出器41は再生バースト信号②の立ち上がりを検出して図7(g)に示すような第2エッジ検出信号⑥をアンドゲート46に出力し、1クロック遅延器43は第2エッジ検出信号⑥を1クロック遅延して同図(h)に示すような1ck遅延信号⑦を出力する。また、2クロック幅化回路42は信号④のパルス幅を2倍して図7(f)に示すような2ck幅化信号⑤をアンドゲート45、46に出力する。このため、図7(i)に示すようなHレベルを継続する信号⑧がアンドゲート54に入力するとともに、第2カウンタ55のLD端子に入力する。この信号⑧は、信号⑤がHレベルでかつ信号⑥又は⑦の一方がHレベルの期間だけHレベルとなる信号を反転させ、さらに1ck遅延させた信号となるので、バースト信号①と再生バースト信号②の位相差が2ck以上の間はHレベルを継続する。

【0037】(iii)信号⑧がHレベルを継続すると、第2カウンタ55のLD端子もHレベルを継続し初期値

「D h」をロードしないので、第2カウンタ55の計数値は図7(1)に示すように「F h」を継続し、RCOも同図(m)に示すようにHレベルを継続し、第2カウンタ55をディスエーブルとする。このため、BLOCKも図7(o)に示すようにLレベルを継続する。

【0038】(iv) 積分回路34内のアップダウンカウンタ60は、BLOCKがLレベルのときにダウンカウンタとして動作してBCLKXの立ち上がりを計数するので、8ck毎に-1カウントする。このため、図8に示すように、アップダウンカウンタ60の計数値(判定回数)が減少して「3Fh」に至ると、JK-FF64のQ出力がHレベルからLレベルに変化する。すなわち、計数値が「3Fh」に至るとアップダウンカウンタ60はQ7=0、Q6=0となり、ノアゲート63の出力がHレベル(アンドゲート62の出力はLレベル)となつてJK-FF64のK端子に入力するので、Q出力がHレベルからLレベルに変化してアンロック検出信号を切換器20に出力する。このため、切換器20が第2VCO19の出力を選択しSCKとして第1出力端子21から出力する。例えば、ロック検出状態からアンロック検出状態に変化して位相差が2ck以上となると、VCOは切換器20によって第1VCO18から第2VCO19に切り換えられる。第2VCO19から出力したSKは、分周器22で整数分の1に分周され再生バースト信号②として位相比較器16にフィードバックされ。このため、第2VCO19による位相同期制御により、再生バースト信号②の位相を進ませる制御が行われてバースト信号①と位相が一致する。

【0039】前記実施形態例では、ロック・アンロック判定回路は、バースト信号①と再生バースト信号②の位相差が2ck未満か否かでロック、アンロックを判定するようにしたが、本発明はこれに限るものでなく、バースト信号①と再生バースト信号②の位相差がnck(nは2を含む1以上の整数)未満か否かでロック、アンロックを判定するようにした場合についても利用することができる。

【0040】前記実施形態例では、アップダウンカウンタの計数値が増加して第1設定値の「C0h」に達したときに検出回路によってロックを検出し、アップダウンカウンタの計数値が減少して第2設定値の「3Fh」に達したときに検出回路によってアンロックを検出するようにしたが、第1設定値が「C0h」、第2設定値が「3Fh」の場合に限るものでなく、第1設定値を第2設定値より大きくしてヒステリシス効果をもたせた場合について利用することができる。

【0041】前記実施形態例では、発振周波数帯域の異なる2つのパルス信号を出力する電圧制御発振器を第1、第2VCOで構成した場合について説明したが、本発明はこれに限るものでなく、図11に示した従来例のように、所定の発振周波数帯域のパルス信号を出力する

VCOと、このVCOから出力するパルス信号の周波数を1/2に分周した出力する1/2分周器とで構成した場合についても利用することができる。

【0042】前記実施形態例では、バーストロックPLL回路に本発明を利用した場合について説明したが、本発明はこれに限るものでなく、ラインロックPLL回路についても利用することができる。

【0043】前記実施形態例では、積分回路の動作をより安定化させるために、第1エッジ検出器とアップダウンカウンタの間に第1パルス幅拡大回路を設け、ゲート回路とアップダウンカウンタの間に第2パルス幅拡大回路を設けた場合について説明したが、本発明はこれに限るものでなく、第1、第2パルス幅拡大回路を省略した場合についても利用することができる。

【0044】前記実施形態例では積分回路の構成を簡単にするために、積分回路をアップダウンカウンタと検出回路で構成した場合について説明したが、本発明はこれに限るものでなく、ロック・アンロック判定回路のロック判定とアンロック判定の一方の判定時(例えばロック判定時)にその判定回数をアップカウントするとともに他方の判定時(例えばアンロック判定時)にその判定回数をダウンカウントし、その計数値に基づいてロック、アンロックを検出するものであればよい。

【0045】前記実施形態例ではロック・アンロック判定回路の構成を簡単にするために、ロック・アンロック判定回路を第1エッジ検出器、2クロック幅化回路、第2エッジ検出器、1クロック遅延器及びゲート回路で構成した場合について説明したが、本発明はこれに限るものでなく、基準信号と比較信号の位相差が基準信号の周波数より高い周波数に設定されたクロックのnクロック未満か否かでロック、アンロックを判定するものであればよい。

【0046】前記実施形態例では、電圧制御発振器が発振周波数帯域の異なる2つのパルス信号を出力する場合について説明したが、本発明はこれに限るものでなく、発振周波数帯域の異なる3以上のパルス信号を出力する場合についても利用することができる。例えば、図9に示すように、LPF17の出力電圧で発振周波数帯域の異なる4つのパルス信号を出力する第1、第2、第3、第4VCO71、72、73、74によって電圧制御発振器を構成し、一定時間毎(例えば図8の「C0h」(192ckに相当)より十分長い期間毎)に1つのパルスを出力する切り換え時間設定用のカウンタ(例えば10ビットのカウンタ)75と、切り換え信号出力用の2ビットのリングカウンタ76とを設け、ロック・アンロック検出回路32の積分回路34から出力するアンロック検出信号(Lレベル信号)をインバータ77で反転させた信号でリングカウンタ76をイネーブル状態とし、カウンタ75から1パルス出力する毎に00、01、10、11の切り換え信号を循環的に切り換えて切

換器78に出力するようにした場合にも利用することができる。この場合、簡単な構成で広い周波数範囲の基準信号を取り扱うことができるので、NTSC、PAL、SECAMのカラーデコーダに対応できる。

【0047】

【発明の効果】本発明によるPLL回路は、位相比較器、ローパスフィルタ、電圧制御発振器、切換器、分周器及びロック・アンロック検出回路を具備し、ロック・アンロック検出回路をロック・アンロック判定回路と積分回路で構成し、ロック・アンロック判定回路で基準信号と比較信号の位相差がnクロック（例えば2クロック）未満か否かに基づいてロック、アンロックを判定し、積分回路でロック・アンロック判定回路のロック判定とアンロック判定の一方の判定時（例えばロック判定時）にその判定回数をアップカウントするとともに他方の判定時（例えばアンロック判定時）にその判定回数をダウンカウントし、その計数値に基づいてロック、アンロックを検出し、積分回路から出力するロック、アンロックの検出信号に基づいて切換器で電圧制御発振器から出力する発振周波数帯域の異なる複数のパルス信号の中から1つのパルス信号を切り換えて出力するように構成した。このため、ロック・アンロック検出回路をロジックで構成可能なロック・アンロック判定回路と積分回路で構成することができ、ロック・アンロック検出回路をA/D変換器とマイコンで構成した従来例と比べて、回路構成を簡単にすることができます。さらに、ロック・アンロック判定回路でロック、アンロックと判定されても、直ちにロック、アンロックとするのではなく、積分回路でヒステリシスをもたせてロック、アンロックをしているので、より安定したクロックを供給することができる。

【0048】ロック・アンロック判定回路を第1エッジ検出器、2クロック幅化回路、第2エッジ検出器、1クロック遅延器及びゲート回路で構成した場合には、ロック・アンロック判定回路の構成を簡単にすることができる。

【0049】積分回路を、ロック・アンロック判定回路の判定信号をアップ・ダウン制御信号として第1エッジ検出器の検出信号を計数するアップダウンカウンタと、このアップダウンカウンタの計数値が増加して第1設定値に達したときにロックを検出し、アップダウンカウンタの計数値が減少して第2設定値（第1設定値より小さい値）に達したときにアンロックを検出する検出回路とで構成した場合には、積分回路の構成を簡単にすることができる。

【0050】第1エッジ検出器とアップダウンカウンタの間に第1エッジ検出器から出力する検出信号のパルス幅を広げてアップダウンカウンタへ出力する第1パルス幅拡大回路を設け、ゲート回路とアップダウンカウンタの間にゲート回路から出力する判定信号のパルス幅を広

げてアップダウンカウンタへ出力する第2パルス幅拡大回路を設けた場合には、積分回路の動作をより安定化させることができる。

【0051】基準信号をバースト切出し回路によって複合映像信号から切り出されたカラーバースト信号とした場合には、本発明をバーストロックPLL回路に利用することができる。

【0052】基準信号を水平同期分離回路によって複合映像信号から分離された水平同期信号とした場合には、本発明をラインロックPLL回路に利用することができる。

【図面の簡単な説明】

【図1】本発明によるPLL回路の一実施形態例を示すブロック図である。

【図2】図1中のロック・アンロック検出回路を示すブロック図である。

【図3】図1中の積分回路を示すブロック図である。

【図4】図1において、再生バースト信号②とバースト信号①の位相差が0の場合の作用を説明するタイミングチャートである。

【図5】図1において、再生バースト信号②がバースト信号①より位相遅れであるが位相差が2ck未満の場合の作用を説明するタイミングチャートである。

【図6】図1において、再生バースト信号②がバースト信号①より位相進みであるが位相差が2ck未満の場合の作用を説明するタイミングチャートである。

【図7】図1において、再生バースト信号②がバースト信号①より位相遅れで且つ位相差が2ck以上の場合の作用を説明するタイミングチャートである。

【図8】図1中の積分回路の作用を示す説明図である。

【図9】本発明を発振周波数帯域の異なる4つのパルス信号を出力する電圧制御発振器を用いた場合に利用した場合の要部を示すブロック図である。

【図10】従来例1を示すブロック図である。

【図11】従来例2を示すブロック図である。

【符号の説明】

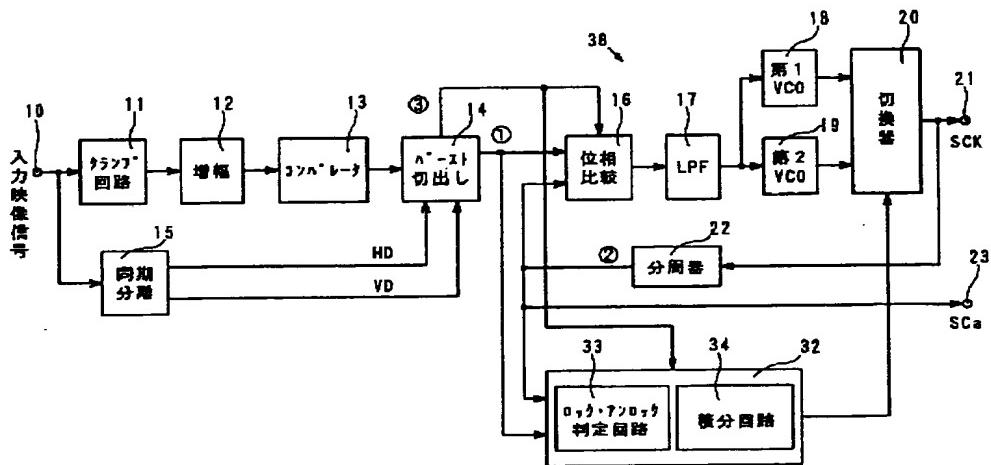
10…入力端子、11…クランプ回路、12…増幅回路、13…コンパレータ、14…バースト切出し回路、15…同期分離回路、16…位相比較器、

17…LPF（ローパスフィルタ）、18…第1VCO（電圧制御発振器）、19…第2VCO、20、78…切換器、21…第1出力端子、22…分周器、23…第2出力端子、26…PLL回路、32…ロック・アンロック検出回路、33…ロック・アンロック判定回路、34…積分回路、35…第1パルス幅拡大回路、36…第2パルス幅拡大回路、37…ckを発生するクロック発生回路、38…PLL回路、40…第1エッジ検出器、41…第2エッジ検出器、42…2クロック幅化回路、43、52、56、57…1クロック遅延器、44…ゲート回路、

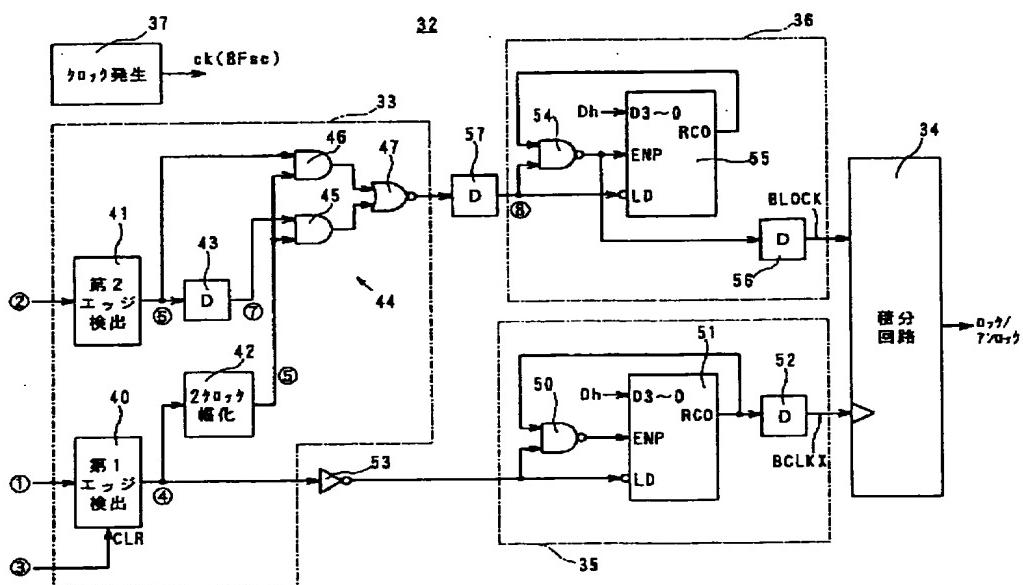
45、46、62…アンドゲート、47、63…ノアゲート、50、54… NANDゲート、51…第1カウンタ、53、77…インバータ、55…第2カウンタ、60…アップダウンカウンタ、61…検出回路、64…JK-F/F、71～74…4種類の発振周波数帯域のパルス信号を出力する電圧制御発振器を構成する個々の電圧制御発振器、75…切り換え時間設*

* 定用のカウンタ、76…2ビットのリングカウンタ、①…バースト信号（基準信号の一例）、②…再生バースト信号（比較信号の一例）、③…バースト期間信号、ck…クロック（計測用のクロック）、HD…水平同期信号、SCK…システムクロック、SCa…サブキャリア、VD…垂直同期信号。

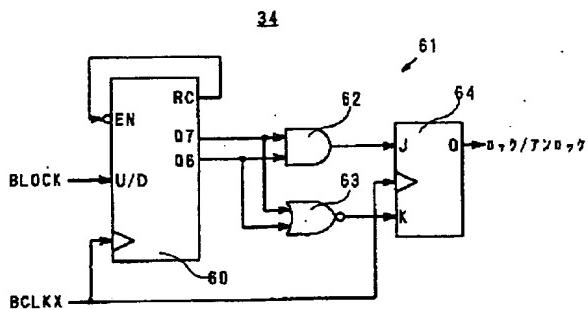
【図1】



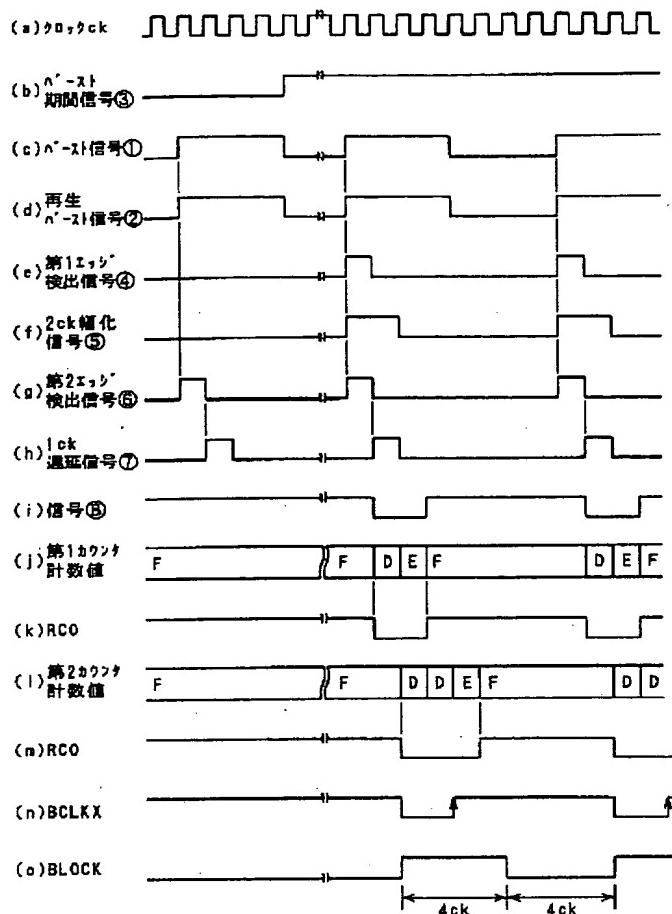
【図2】



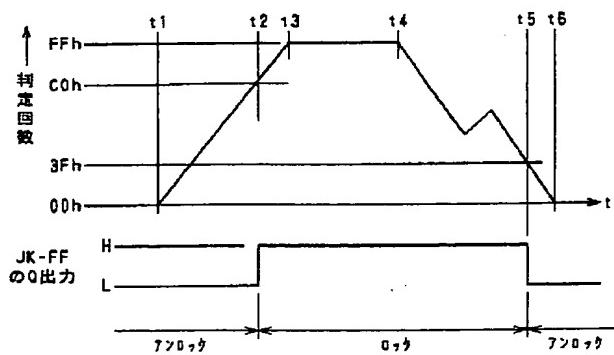
【図3】



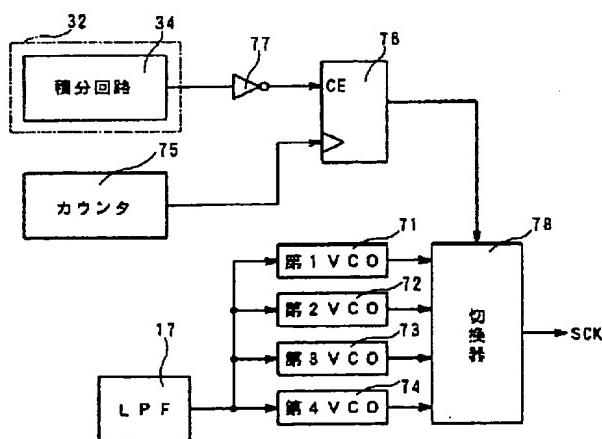
【図4】



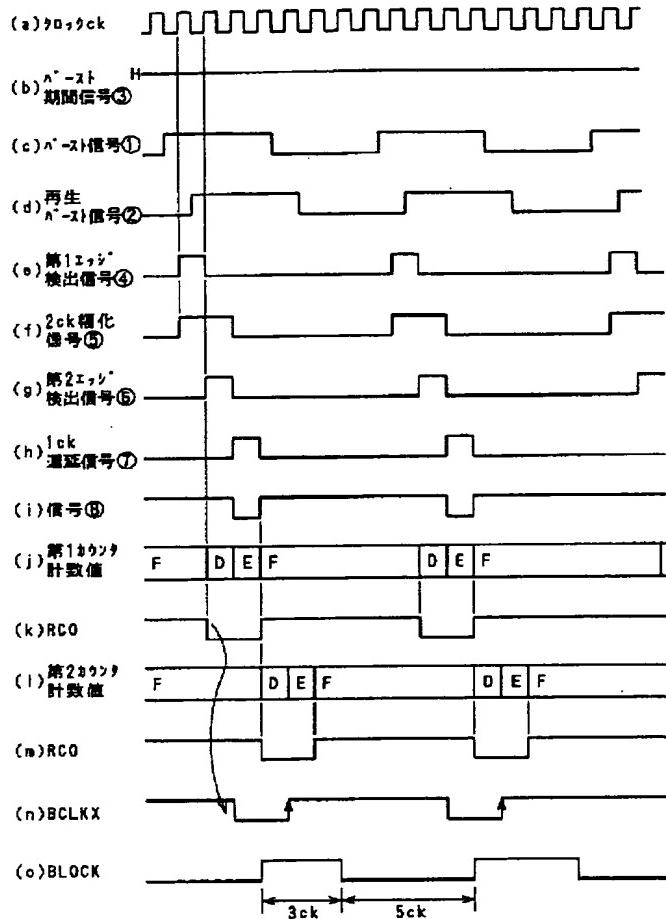
【図8】



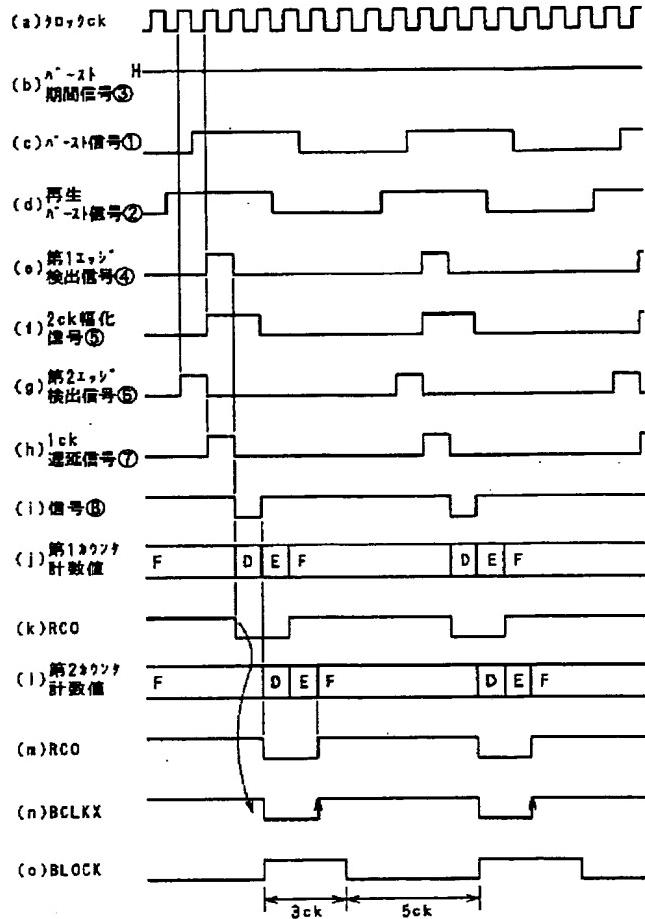
【図9】



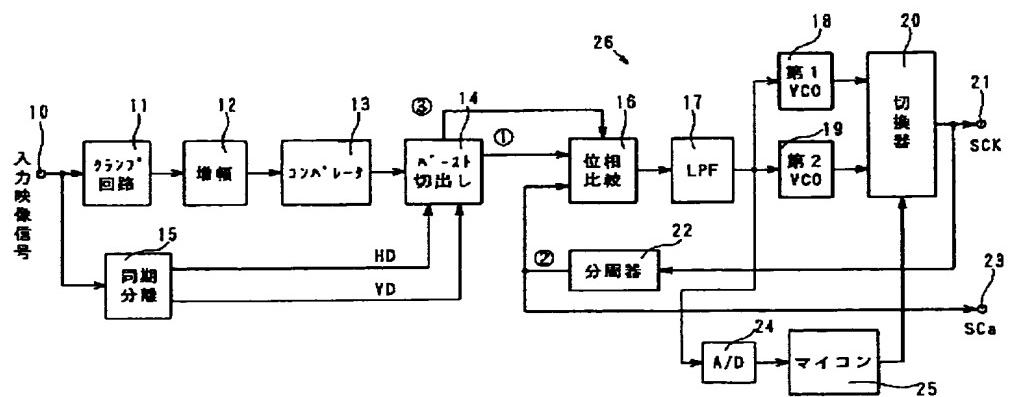
【図5】



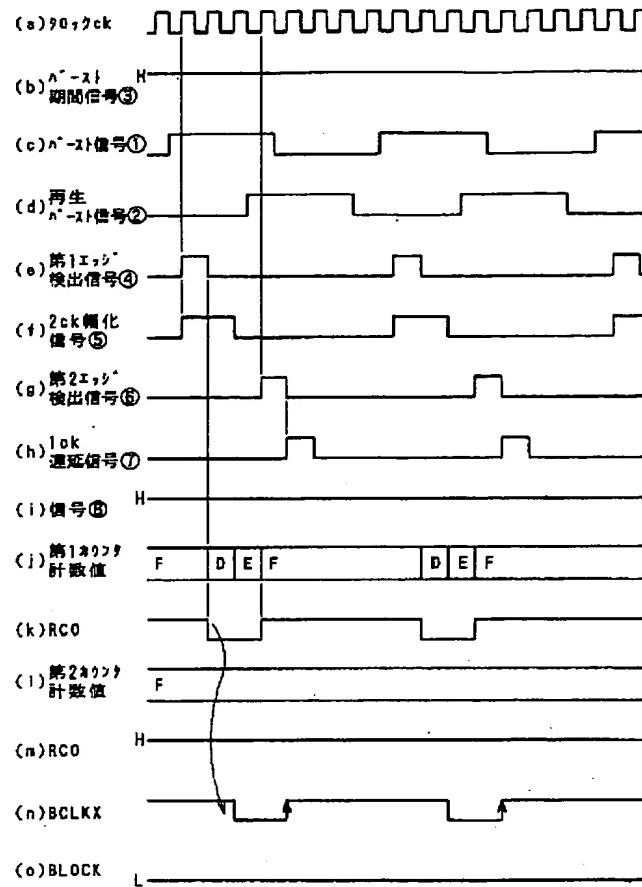
【図6】



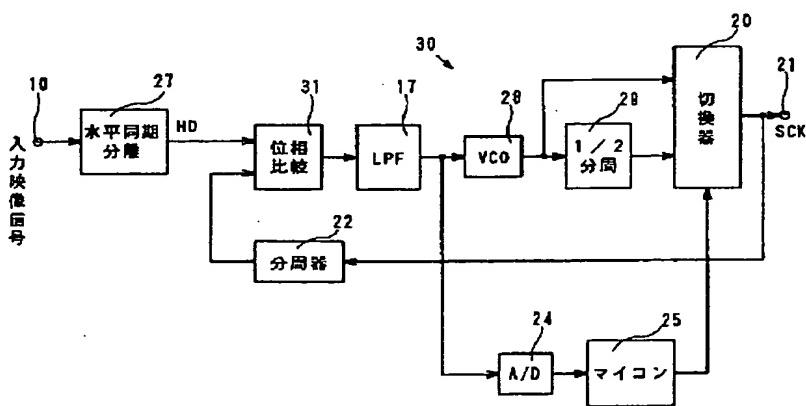
【図10】

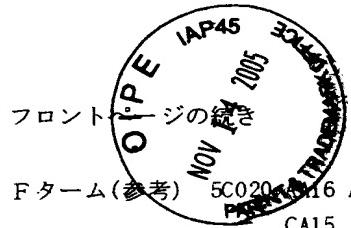


【図7】



【図11】





(14)

特開 2000-286701

フロントページの続き

F ターム(参考) 5C020 AA16 AA31 AA32 AA35 CA13
CA15

SD044 AB07 DE32 GM12 GM14 GM15

GM16 GM17

5J106 AA04 CC20 CC21 CC38 CC41

CC52 CC58 DD04 DD05 DD06

DD09 DD17 DD43 DD46 EE01

EE09 FF06 GG01 HH10 KK39